



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11306752 A**

(43) Date of publication of application: 05 . 11 . 99

(51) Int. Cl. **G11C 11/401**
G06F 1/26
G06F 1/32

(21) Application number: 10116646

(71) Applicant: NEC CORP

(22) Date of filing: 27 . 04 . 98

(72) Inventor: MATOBA SHOICHIRO

(54) **ELECTRONIC CIRCUIT DEVICE FOR MIXEDLY MOUNTING DRAM**

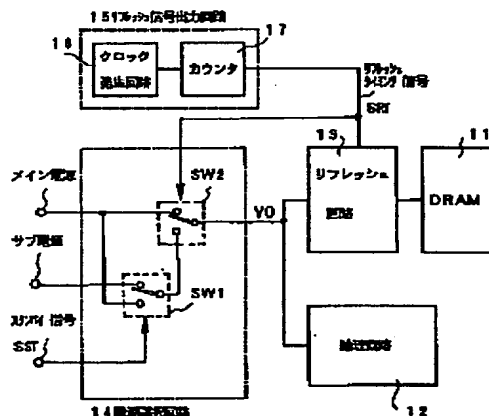
mounted, and hence reducing the power consumption of the entire electronic circuit device.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To achieve standby operation in an electronic circuit device where a DRAM requiring refresh operation is mixedly mounted, and at the same time to obtain the electronic circuit device that can reduce power consumption.

SOLUTION: An electronic circuit device has a power supply selection circuit 14. The power supply selection circuit 14 changes main and sub power supplies on normal operation and standby, respectively, for supplying to an electronic circuit where a refreshing circuit 13 for refreshing a DRAM 11, a logic circuit 12, and a DRAM is mixedly mounted, and at the same time supplies the main power supply to at least the refreshing circuit 13 on the standby. On the standby of the electronic circuit device, the sub power supply is supplied to the electronic circuit by the power supply selection circuit 14. Also, only on the refreshing of the standby, the main power supply is supplied to at least the refreshing circuit 13, thus securing the refreshing of the DRAM 1 on the standby, achieving standby operation in the electronic circuit device where the DRAM is mixedly



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-306752

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl.⁶

識別記号

F I

G 1 1 C 11/401

G 1 1 C 11/34

3 7 1 G

G 0 6 F 1/26

G 0 6 F 1/00

3 3 0 D

1/32

3 3 2 Z

3 3 5 C

審査請求 有 請求項の数3 OL (全 5 頁)

(21)出願番号

特願平10-116646

(22)出願日

平成10年(1998)4月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 的場 祥一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

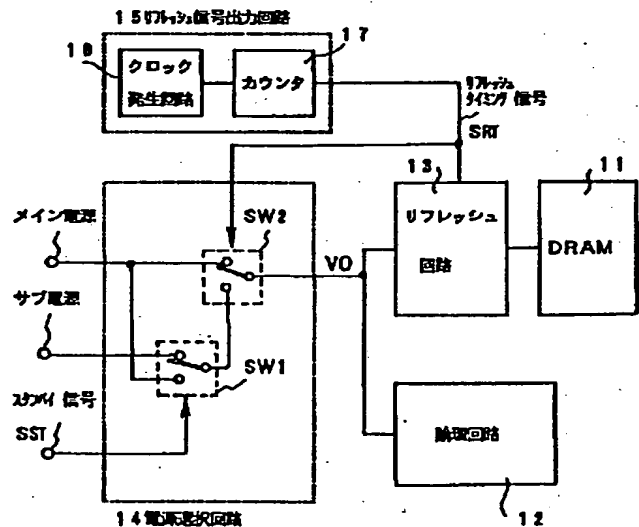
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 DRAM混載電子回路装置

(57)【要約】

【課題】 リフレッシュ動作が必要なDRAMを混載した電子回路装置におけるスタンバイ動作を実現する一方で、消費電力の低減を可能にした電子回路装置を提供する。

【解決手段】 DRAM 11、論理回路12及びDRAMをリフレッシュするためのリフレッシュ回路13を混載する電子回路に対して通常動作にはメイン電源を、スタンバイ時にはサブ電源をそれぞれ切り替えて供給するとともに、スタンバイ時には少なくとも前記リフレッシュ回路13に対してメイン電源にを供給するように構成する電源選択回路14を備える。電子回路装置のスタンバイ時には、電源選択回路14により電子回路にはサブ電源が供給され、またスタンバイ時のリフレッシュ時にのみ、少なくともリフレッシュ回路13にメイン電源が供給されることで、スタンバイ時におけるDRAM 11のリフレッシュを確保する。DRAMを混成した電子回路装置におけるスタンバイ動作を実現し、電子回路装置全体の消費電力が低減される。



【特許請求の範囲】

【請求項 1】 電子回路装置を構成する電子回路の一部として DRAM 及び前記 DRAM をリフレッシュするためのリフレッシュ回路を混載する電子回路装置において、前記電子回路に供給する電源を通常動作時とスタンバイ時とで切り替える電源選択回路を備え、前記電源選択回路は、前記電子回路に対して通常動作にはメイン電源を、スタンバイ時にはサブ電源をそれぞれ切り替えて供給するとともに、スタンバイ時には少なくとも前記リフレッシュ回路に対してメイン電源にを供給するように構成したことを特徴とする DRAM 混載電子回路装置。

【請求項 2】 前記電源選択回路は、メイン電源とサブ電源のいずれかを選択でき、スタンバイ信号を受けてサブ電源を選択する第 1 のスイッチ回路と、前記第 1 のスイッチ回路の選択出力とメイン電源のいずれかを選択でき、リフレッシュタイミング信号を受けてメイン電源を選択する第 2 のスイッチ回路とを備え、前記第 2 のスイッチ回路の選択出力を前記電子回路に供給するように構成されている請求項 1 に記載の DRAM 混成電子回路装置。

【請求項 3】 前記電源選択回路は、メイン電源とサブ電源のいずれかを選択でき、スタンバイ信号を受けてサブ電源を選択する第 1 のスイッチ回路と、前記第 1 のスイッチ回路の選択出力とメイン電源のいずれかを選択でき、リフレッシュタイミング信号を受けてメイン電源を選択する第 2 のスイッチ回路とを備え、前記第 2 のスイッチ回路の選択出力を前記リフレッシュ回路に供給し、前記第 1 のスイッチ回路の選択出力を前記リフレッシュ回路以外の電子回路に供給するように構成されている請求項 1 に記載の DRAM 混成電子回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は DRAM（ダイナミック・ランダム・アクセス・メモリ）を混載する電子回路装置に関し、特にスタンバイ状態の設定が可能な電子回路装置における消費電力の低減を可能にした電子回路装置に関する。

【0002】

【従来の技術】近年の電子回路装置では、システムを動作させないスタンバイ時における消費電力の低減を図るために、スタンバイ時に大電流のメイン電源から小電流のサブ電源に切り替え、スタンバイ状態として必要とされる回路のみを駆動させる構成がとられている。これを実現するためには、電子回路装置の内部回路と電源回路との間に電源選択回路を設け、スタンバイ時にオンされるスタンバイ信号に基づいて電源選択回路においてメイン電源とサブ電源を切り替えて内部回路に接続する構成がとられている。

【0003】

【発明が解決しようとする課題】しかしながら、各種データを記憶するための記憶装置として DRAM を混載する電子回路装置では、周知のように、DRAM に記憶されているデータを保持するためのリフレッシュが必要であり、このリフレッシュを行うためには、リフレッシュ回路にメイン電源の電流を供給する必要がある。このため、この種の電子回路装置では、スタンバイ時においても、少なくともリフレッシュ回路に通常動作時と同じメイン電源を接続した状態に保持しなければならない、消費電力を低減する上での障害になっている。

【0004】本発明は、このような DRAM 混載の電子回路装置におけるスタンバイ動作を実現する一方で、消費電力の低減を可能にした電子回路装置を提供することにある。

【0005】

【課題を解決するための手段】本発明は、電子回路装置を構成する複数の電子回路の一部として DRAM 及び前記 DRAM をリフレッシュするためのリフレッシュ回路を混載する電子回路装置において、前記電子回路に供給する電源を通常動作時とスタンバイ時とで切り替える電源選択回路を備えており、前記電源選択回路は、前記電子回路に対して通常動作にはメイン電源を、スタンバイ時にはサブ電源をそれぞれ切り替えて供給するとともに、スタンバイ時には少なくとも前記リフレッシュ回路に対してメイン電源にを供給するように構成する。

【0006】前記電源選択回路は、第 1 の構成としては、メイン電源とサブ電源のいずれかを選択でき、スタンバイ信号を受けてサブ電源を選択する第 1 のスイッチ回路と、前記第 1 のスイッチ回路の選択出力とメイン電源のいずれかを選択でき、リフレッシュタイミング信号を受けてメイン電源を選択する第 2 のスイッチ回路とを備え、前記第 2 のスイッチ回路の選択出力を前記電子回路に供給するように構成される。また、第 2 の構成としては、メイン電源とサブ電源のいずれかを選択でき、スタンバイ信号を受けてサブ電源を選択する第 1 のスイッチ回路と、前記第 1 のスイッチ回路の選択出力とメイン電源のいずれかを選択でき、リフレッシュタイミング信号を受けてメイン電源を選択する第 2 のスイッチ回路とを備え、前記第 2 のスイッチ回路の選択出力を前記リフレッシュ回路に供給し、前記第 1 のスイッチ回路の選択出力を前記リフレッシュ回路以外の電子回路に供給するように構成されている。

【0007】本発明においては、電子回路装置のスタンバイ時には、電源選択回路により電子回路にはサブ電源が供給され、消費電力が低減される。スタンバイ時のリフレッシュ時にのみ、電源選択回路はリフレッシュタイミング信号を受けて少なくともリフレッシュ回路にメイン電源を供給することで、リフレッシュを可能とする。DRAM を混成した電子回路装置におけるスタンバイ動作を実現し、電子回路装置全体の消費電力を低減する。

【0008】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の第1の実施形態のブロック回路図である。この実施形態では、電子回路装置として、データを記憶するためのDRAM11と、記憶されたデータに基づいて所要の論理演算を行うための論理回路部12とを混載した電子回路装置に本発明を適用した例を示している。前記DRAM11には、記憶したデータを保持するためのリフレッシュを行うためのリフレッシュ回路13が接続されており、前記論理回路部12と前記リフレッシュ回路13は共通した内部電源線V1により電源選択回路14に接続されている。また、前記リフレッシュ回路13にリフレッシュを行うための各種信号、例えばCAS信号やRAS信号を供給するためのリフレッシュ信号出力回路15が接続されている。このリフレッシュ信号出力回路15には、少なくともクロック発生回路16と、前記クロック発生回路16で発生されたクロック信号を計数してリフレッシュタイミング信号を出力するカウンタ17が設けられている。

【0009】前記電源選択回路14には、第1及び第2のスイッチ回路SW1、SW2が内蔵されており、これらスイッチ回路によりメイン電源とサブ電源とを選択して前記内部電源線V1に接続可能に構成されている。前記第1のスイッチ回路SW1は、メイン電源とサブ電源とを切替選択するスイッチ回路として構成され、スタンバイ時にハイレベルとされるスタンバイ信号SSTによって切り替え動作される。また、前記第2のスイッチ回路SW2は前記第1のスイッチ回路SW1の選択出力とメイン電源とを切り選択するスイッチ回路として構成され、前記リフレッシュ信号出力回路15から出力されてリフレッシュ時にハイレベルとされるリフレッシュタイミングSRT信号によって切り替え動作されるように構成される。

【0010】以上の第1の実施形態の動作を図2に示す動作のタイミング図を参照して説明する。スタンバイ信号SSTがロウレベルの通常動作時には、第1のスイッチ回路SW1はメイン電源側に接続されている。このため、第2のスイッチ回路SW2の切替状態にかかわらず内部電源線V0には常時メイン電源からの電流が供給されることになり、リフレッシュ回路13及び論理回路部12における通常の動作が確保される。スタンバイ信号SSTがハイレベルになると、第1のスイッチ回路SW1がサブ電源側に切り替えられる。このとき、リフレッシュタイミング信号SRTが入力されないときには、第2のスイッチ回路SW2はサブ電源側に接続されているため、内部電源線V0にはサブ電源からの電流が供給されることになり、リフレッシュ回路13及び論理回路部12はスタンバイ状態とされ、論理回路部12及びリフレッシュ回路13における消費電力が低減される。そして、前記リフレッシュ信号出力回路15からのリフレ

ッシュタイミング信号SRTがハイレベルとなって第2のスイッチ回路SW2に供給されると、第2のスイッチ回路SW2はメイン電源側に切り替えられる。このため、内部電源線V0にはメイン電源からの電流が供給される状態となり、リフレッシュ回路13におけるDRAM11のリフレッシュが可能となる。このとき、論理回路部12にもメイン電源の電流が供給されるが、例えば、スタンバイ信号SSTによって論理回路部12の動作を停止させる回路構成としておけば、論理回路部12における実質的な消費電力の増大を抑制することは可能である。

【0011】このように、前記第1の実施形態では、スタンバイ時にはリフレッシュ回路13及び論理回路部12にはサブ電源を供給する一方で、スタンバイ時におけるリフレッシュ時にはリフレッシュ回路13及び論理回路部12にメイン電源を供給するので、DRAM11のリフレッシュ動作を確保でき、データの消失が防止される。これにより、少なくともリフレッシュ時以外における消費電力を低減することが可能となる。

【0012】図3は本発明の第2の実施形態のブロック回路図である。この第2の実施形態においても、電子回路装置として、データを記憶するためのDRAM11と、記憶されたデータに基づいて所要の論理演算を行うための論理回路部12とを混載した電子回路装置に本発明を適用した例を示している。前記DRAM11には、記憶したデータを保持するためのリフレッシュを行うためのリフレッシュ回路13が接続されており、第1の内部電源線V1により電源選択回路14に接続されている。また、前記論理回路部12は、第2の内部電源線V2により前記電源選択回路14に接続されている。さらに、リフレッシュタイミング信号SRTを出力するリフレッシュ信号出力回路15が設けられている。

【0013】前記電源選択回路14には、第1及び第2のスイッチ回路SW1、SW2が内蔵されており、これらスイッチ回路によりメイン電源とサブ電源とを選択して前記第1及び第2の各内部電源線V1、V2に接続可能に構成されている。前記第1のスイッチ回路SW1はメイン電源とサブ電源とを切替選択するスイッチ回路として構成されており、スタンバイ時にハイレベルとされるスタンバイ信号SSTによって切り替え動作される。また、前記第2のスイッチ回路SW2は、前記第1のスイッチ回路SW1の選択出力とメイン電源とを切替選択するスイッチ回路として構成され、リフレッシュ時にハイレベルとされるリフレッシュタイミング信号SRTによって切替動作されるように構成されている。これら第1及び第2のスイッチ回路SW1、SW2の構成は前記第1の実施形態と同じであるが、この第2の実施形態では、前記第2のスイッチ回路SW2の選択出力は前記第1の内部電源線V1に接続され、前記第1のスイッチ回路SW1の選択出力は前記第2の内部電源線V2に接続されている。

【0014】以上の第2の実施形態の動作を図4に示す動作のタイミング図を参照して説明する。スタンバイ信号SSTがロウレベルの通常動作時には、第1のスイッチ回路SW1はメイン電源側に接続されている。このため、第2のスイッチ回路SW2の切替状態にかかわらず第1の内部電源線V1及び第2の内部電源線V2にはそれぞれメイン電源からの電流が供給されることになり、リフレッシュ回路13及び論理回路部12における通常の動作が確保される。スタンバイ信号SSTがハイレベルになると、第1のスイッチ回路SW1がサブ電源側に切り替えられる。このとき、リフレッシュタイミング信号SRTが入力されないときには、第2のスイッチ回路SW2はサブ電源側に接続されているため、第1の内部電源線V1にはサブ電源からの電流が供給され、また同時に第1のスイッチ回路SW1により第2の内部電源線V2にはサブ電源からの電流が供給されることになり、リフレッシュ回路13及び論理回路部12はスタンバイ状態とされ、電子回路装置における消費電力が低減される。そして、リフレッシュ信号出力回路15からのリフレッシュタイミング信号SRTがハイレベルとなって第2のスイッチ回路SW2に供給されると、第2のスイッチ回路SW2はメイン電源側に切り替えられる。このため、第1の内部電源線V1にはメイン電源からの電流が供給される状態となり、リフレッシュ回路13におけるDRAM11のリフレッシュが可能となる。このとき、第1のスイッチ回路SW1はリフレッシュタイミング信号SRTによっても状態が変化されることがないため、第2の内部電源線V2はサブ電源の電流が供給された状態のままであり、論理回路部12は継続してスタンバイ状態に保持され、論理回路部12における消費電力の増大を抑制されている。

【0015】したがって、第2の実施形態においては、スタンバイ時にはリフレッシュ回路13及び論理回路部12にはサブ電源を供給する一方で、スタンバイ中のリフレッシュ時にはリフレッシュ回路13のみにメイン電源を供給しているので、DRAM11のリフレッシュ動作を確保でき、データの消失が防止される。これにより、少なくともリフレッシュ時以外における消費電力を低減することが可能となり、しかもこの第2の実施形態では、前記第1の実施形態に比較してリフレッシュ時における論理回路部12での消費電力の低減を図ることも可能となる。

【0016】なお、前記各実施形態においては、図1及び図3において、第1及び第2のスイッチ回路として切替接点式のスイッチで図示しているが、このスイッチ回

路はトランジスタ等の素子で構成される電子スイッチ、あるいは論理ゲートの組み合わせで構成される論理ゲートスイッチとして構成してもよいことは言うまでもない。また、前記リフレッシュタイミング信号としては、特に限定はしていないが、従来から行われているリフレッシュ動作で用いられる各種信号を利用することも可能である。

【0017】

【発明の効果】以上説明したように本発明は、DRAM及び前記DRAMをリフレッシュするためのリフレッシュ回路を混載する電子回路に対して通常動作にはメイン電源を、スタンバイ時にはサブ電源をそれぞれ切り替えて供給するとともに、スタンバイ時には少なくとも前記リフレッシュ回路に対してメイン電源にを供給するように構成する電源選択回路を備えることにより、電子回路装置のスタンバイ時には、電源選択回路により電子回路にはサブ電源が供給され、またスタンバイ時のリフレッシュ時にのみ、少なくともリフレッシュ回路にメイン電源が供給されることで、スタンバイ時におけるDRAMのリフレッシュを確保する一方で、DRAMを混載した電子回路装置におけるスタンバイ動作を実現し、電子回路装置全体の消費電力を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のブロック回路図である。

【図2】第1の実施形態の動作を説明するためのタイミング図である。

【図3】本発明の第2の実施形態のブロック回路図である。

【図4】第2の実施形態の動作を説明するためのタイミング図である。

【符号の説明】

- 11 DRAM
- 12 論理回路部
- 13 リフレッシュ回路
- 14 電源選択回路
- 15 リフレッシュ信号出力回路
- 16 クロック発生回路
- 17 カウンタ回路
- SW1 第1のスイッチ回路
- SW2 第2のスイッチ回路
- V0 内部電源線
- V1 第1の内部電源線
- V2 第2の内部電源線

